

Searching PAJ

1/2 ページ

(3)

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-029537  
 (43)Date of publication of application : 05.02.1993

(51)Int.Cl. H01L 25/065  
 H01L 25/07  
 H01L 25/18

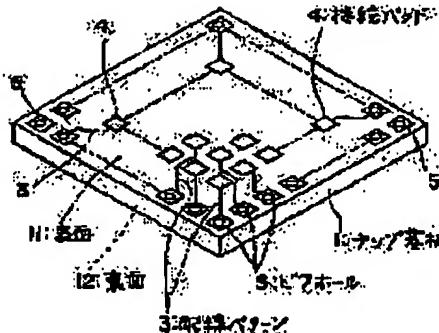
(21)Application number : 03-179719 (71)Applicant : FUJITSU LTD  
 (22)Date of filing : 19.07.1991 (72)Inventor : KUSAYA TOSHIHIRO  
 MATSUMOTO MASARU

## (54) SEMICONDUCTOR MODULE STRUCTURE

## (57)Abstract:

**PURPOSE:** To reduce mounting area and realize high density mounting, byunnecessitating module substrates for mounting chip substrates, and vertically stacking the chip substrates, concerning semiconductor module structure constituted by stacking a plurality of chip substrates on which semiconductor circuits are formed.

**CONSTITUTION:** Wiring patterns 3 and connection pads 4 are formed on the surface 11 and the rear 12 of a chip substrates 1 on which semiconductor circuits are formed. The wiring pattern on the surface and the wiring pattern 3 on the rear are electrically connected through via holes 5. A plurality of chip substrates 1 are vertically stacked by using the connection pads 4.



## LEGAL STATUS

[Date of request for examination]	10.06.1998
[Date of sending the examiner's decision of rejection]	31.08.1999
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	3016910
[Date of registration]	24.12.1999
[Number of appeal against examiner's decision of rejection]	11-15319
[Date of requesting appeal against examiner's decision of rejection]	29.09.1999

Searching PAJ

2/2 ページ

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-29537

(43)公開日 平成5年(1993)2月5日

(51)Int.Cl.<sup>5</sup>

H 01 L 25/065  
25/07  
25/18

識別記号

府内整理番号

F I

技術表示箇所

7220-4M

H 01 L 25/08

B

審査請求 未請求 請求項の数1(全4頁)

(21)出願番号

特願平3-179719

(22)出願日

平成3年(1991)7月19日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 草谷 敏弘

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 松本 優

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 山川 雅男

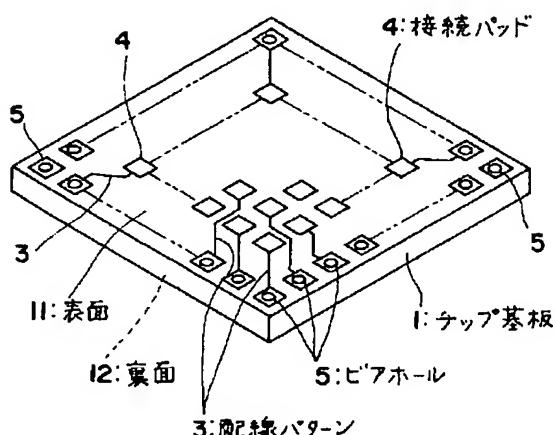
(54)【発明の名称】 半導体モジュール構造

(57)【要約】

【目的】半導体回路を形成したチップ基板を複数枚搭載してなる半導体モジュール構造に関し、チップ基板を搭載するモジュール基板を不要として、上下に積み重ねて搭載面積を小さくし、高密度に実装することを目的とする。

【構成】半導体回路2を形成したチップ基板1の表裏面11、12にそれぞれ配線パターン3および接続パッド4を設け、前記配線パターン3の表裏面間をビアホール5で導通させ、前記チップ基板1を複数枚、前記接続パッド4により上下に積み重ねて構成される。

本発明の実施例を示す説明図



1

**【特許請求の範囲】**

【請求項1】半導体回路(2)を形成したチップ基板(1)の表面(11)および裏面(12)に配線パターン(3)と接続パッド(4)をそれぞれ形成するとともに、前記表面(11)、12)の配線パターン(3,3)をピアホール(5)で接続しており、かつ複数の前記チップ基板(1,1,..)をそれぞれ対向する表裏面(11,12)の接続パッド(4,4)を介して接続して積み重ねてなることを特徴とする半導体モジュール構造。

**【発明の詳細な説明】****【0001】**

【産業上の利用分野】本発明は、半導体回路の形成された半導体チップを複数個モジュール化して、高密度に実装する半導体モジュール構造に関するものである。

【0002】近年、電子機器の小型化、高機能化のため、複数個の半導体チップを一つの配線基板上に搭載してモジュール化することにより、電子機器のマザーボード上に高密度に実装することが行われているが、複数の半導体チップを配線基板を介して接続してモジュール化するため、半導体チップ間を平面的に配置する配線基板をあまり小さくできず、より高密度に半導体チップを実装することのできる半導体モジュール構造が求められている。

**【0003】**

【從来の技術】従来、半導体モジュール構造としては、図5に示すように、樹脂やセラミック基材等に配線パターンをプリントしてなるモジュール基板10上に、シリコン基板上に半導体回路を形成してなる半導体チップ20を、半田パンプやホンディングワイヤ等により接続して、複数個搭載し、半導体チップ20をシールキャップ30や樹脂コートで保護して、半導体モジュールを構成していた。そして、マザーボード40上には、モジュール基板10に形成された外部接続リード110によって接続するようになっていた。

**【0004】**

【発明が解決しようとする課題】しかしながら、従来の半導体モジュール構造では、モジュール基板10上に半導体チップ20を平面的に配置して、それぞれ半導体チップ20間をモジュール基板10上にプリントされた配線パターンで接続するものであるから、半導体チップ20、20、..の搭載部と配線パターンの形成部がモジュール基板10上に必要であり、モジュール基板10の面積を十分小さくすることができないという欠点があった。

【0005】本発明は、以上の欠点を解消すべくなされたものであって、複数の半導体チップをモジュール基板上に平面的に配置することなく、実装面積を小さくして、小型かつ高密度な半導体モジュール構造を提供することを目的とするものである。

**【0006】**

2

【課題を解決するための手段】本発明を実施例に対応する図1ないし図3に基づいて説明すると、半導体回路2を形成したチップ基板1の表面11および裏面12には、それぞれ配線パターン3および接続パッド4を形成している。さらに、チップ基板1には表裏面11、12間に貫通して表裏面の配線パターン3、3を接続するピアホール5を形成している。そして、複数の前記チップ基板1の表面側の接続パッド4上に上段のチップ基板1の裏面側の接続パッド4を重ねて多段に接続して形成する。

**【0007】**

【作用】上記構成に基づき、本発明においては、チップ基板1の表裏面11、12間に貫通するピアホール5により表裏面の配線パターン3、3および接続パッド4、4を接続しているため、チップ基板1を複数枚上下に積み重ねて、下段側の表面部接続パッド4と、積み重ねられる上段側の裏面部接続パッド4とを半田等により接続することによって半導体モジュールを構成することができるため、半導体チップをモジュール化して接続するための配線基板が不要となり、かつ上下に積み重ねることにより、マザーボードへの実装面積を一つのチップ基板の大きさにして、装置の小型化を図ることができ、高密度化が可能となる。

**【0008】**

【実施例】以下、本発明の望ましい実施例を添付図面に基づいて詳細に説明する。図1および図2は本発明の半導体モジュールを構成する半導体素子のチップ基板1を示すものであり、図3は複数のチップ基板1、1、..をマザーボード6上に多段に積み重ねて形成された半導体モジュールAを示すものである。

【0009】図1に示すように、チップ基板1は半導体回路2を形成するシリコン基板であり、表面11には、半導体回路2が形成されている。そして、チップ基板1には表面11と裏面12とを貫通して導通させるピアホール5を形成している。

【0010】チップ基板1の表裏面11、12にはそれぞれ対応する位置に接続パッド4、4が形成されており、半導体回路2と接続パッド4とを接続するように配線パターン3が形成されている。そして、表裏面11、40 12にそれぞれ形成される配線パターン3、3は図2に示すようにピアホール5によって導通している。

【0011】そして、チップ基板1は図3に示すように複数枚重ねてマザーボード6上に搭載されるもので、最下段のチップ基板1の裏面12に形成されている接続パッド4をマザーボード6の接続パッド61に半田7や導電接着剤等によって固定される。そして、チップ基板1の表面側の接続パッド4には同様にして上段のチップ基板1の裏面側接続パッド42を固定して、多段に積み重ねられ、全体を樹脂コーティング8によって保護するよう搭載されている。

【0012】次にチップ基板1の製造工程について説明すると、まず、図4(a)に示すように、シリコン基板13にレーザやエッチング等によって孔加工を行い表面に酸化シリコン膜14を形成する。そして、半導体作成プロセスによって半導体を形成し、アルミニウム蒸着、リソグラフィにより半導体回路2を形成する。

【0013】次に、図4(b)に示すようにチップ基板1の表裏面11、12にイミドスピンドルコート等により絶縁層15を形成し、焼付、現像によってビアホール5を露出させる。そして、メタル蒸着、エッチャリングによってビアホール5、接続パッド4を接続する配線パターン3を絶縁層15上に形成してチップ基板1を形成するものである。

#### 【0014】

【発明の効果】以上説明したように、本発明においては、半導体回路を形成したチップ基板の表裏面に配線パターンをビアホールで接続して設け、表裏面の接続パッドでチップ基板を多段に積み重ねて、半導体モジュール

を形成するため、チップ基板をモジュール化する配線基板が不要となり、マザーボードへの搭載面積を小さくして、高密度な実装が可能となる。

#### 【図面の簡単な説明】

【図1】本発明の実施例を示す説明図である。

【図2】本発明の断面を示す説明図である。

【図3】本発明の搭載状態を示す説明図である。

【図4】本発明の実施例の製造工程を示す説明図である。

【図5】従来例を示す説明図である。

#### 【符号の説明】

1 チップ基板

11 表面

12 裏面

2 半導体回路

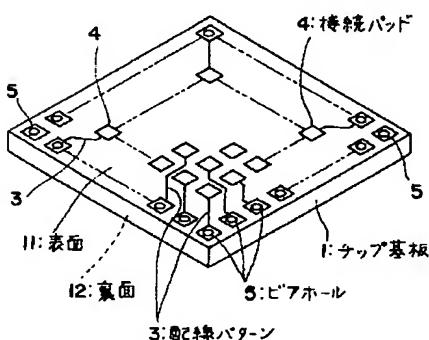
3 配線パターン

4 接続パッド

5 ビアホール

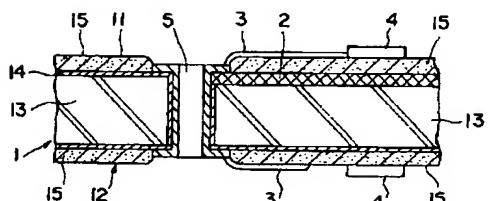
【図1】

本発明の実施例を示す説明図



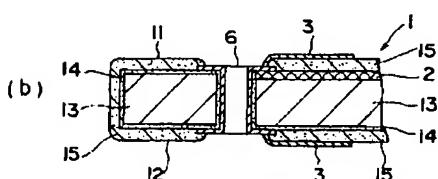
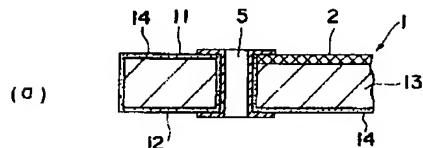
【図2】

本発明の断面を示す説明図



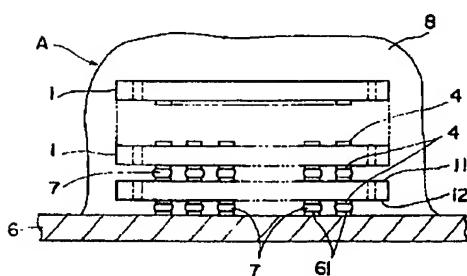
【図4】

製造工程を示す説明図



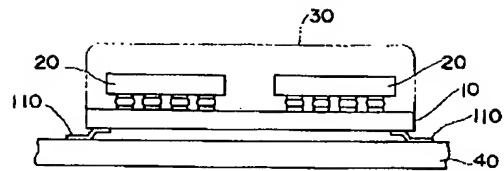
【図3】

本発明の搭載状態を示す説明図



【図5】

従来例を示す説明図



**\* NOTICES \***

**JPO and NCIPI are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

**[Claim(s)]**

[Claim 1] Semiconductor circuit (2) Formed chip substrate (1) It is a circuit pattern (3) to a front face (11) and a rear face (12). Connection pad (4) While forming, respectively Said table rear face (11 12) Circuit pattern (3 3) Beer hall (5) It comes to connect. And front rear face which counters said two or more chip substrates (1, 1, ..), respectively (11 12) Connection pad (4 4) Semi-conductor module structure characterized by minding, and connecting and coming to put.

---

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]  
[0001]

[Industrial Application] This invention carries out the modularization of two or more semiconductor chips with which the semiconductor circuit was formed, and relates to the semi-conductor module structure mounted in high density.

[0002] The wiring substrate which arranges between semiconductor chips superficially in order to connect and carry out the modularization of two or more semiconductor chips through a wiring substrate, although mounting in high density on the mother board of electronic equipment by carrying two or more semiconductor chips on one wiring substrate, and carrying out a modularization is performed for the miniaturization of electronic equipment and advanced features cannot be made not much small in recent years, but the semi-conductor module structure which can mount a semiconductor chip in high density more is searched for.

[0003]

[Description of the Prior Art] Conventionally, as semi-conductor module structure, as shown in drawing 5, on the module substrate 10 which prints a circuit pattern on resin, a ceramic base material, etc., and becomes them, on the silicon substrate, it connected by solder Bengbu, phone DIN GUWAIYA, etc., two or more semiconductor chips 20 which come to form a semiconductor circuit were carried, the semiconductor chip 20 was protected on the seal cap 30 or the

resin coat, and the semi-conductor module was constituted. And on a mother board 40, it connects with the external connection lead 110 formed in the module substrate 10.

[0004]

[Problem(s) to be Solved by the Invention] However, in the conventional semi-conductor module structure, the semiconductor chip 20 has been superficially arranged on the module substrate 10, and since it connects with the circuit pattern on which between semiconductor chips 20 was printed on the module substrate 10, respectively, there were semiconductor chips 20 and 20 and a fault of -- that the loading section and the formation section of a circuit pattern were required on the module substrate 10, and could not make area of the module substrate 10 sufficiently small.

[0005] Without being made that the above fault should be canceled and arranging two or more semiconductor chips superficially on a module substrate, this invention makes a component-side product small, and aims at offering small and high-density semi-conductor module structure.

[0006]

[Means for Solving the Problem] If this invention is explained based on drawing 1 thru/or drawing 3 corresponding to an example, the circuit pattern 3 and the connection pad 4 will be formed in the

front face 11 and rear face 12 of the chip substrate 1 in which the semiconductor circuit 2 was formed, respectively. Furthermore, the beer hall 5 which penetrates between the front rear face 11 and 12 to the chip substrate 1, and connects the circuit patterns 3 and 3 on the rear face of front is formed. And on the connection pad 4 by the side of the front face of two or more of said chip substrates 1, in piles, it connects with multistage and the connection pad 42 by the side of the rear face of the chip substrate 1 of an upper case is formed.

[0007]

[Function] Since the circuit patterns 3 and 3 and the connection pads 4 and 4 on the rear face of front are connected in this invention based on the above-mentioned configuration by the front rear face 11 of the chip substrate 1, and the beer hall 5 which penetrates between 12, Since a semi-conductor module can be constituted by accumulating two or more chip substrates 1 up and down, and connecting the surface section connection pad 4 by the side of the lower berth, and the flesh-side surface part connection pad 4 by the side of the upper case accumulated with solder etc., By the wiring substrate for carrying out the modularization of the semiconductor chip and connecting becoming unnecessary, and putting up and down, the component-side product to a mother board can be made into the magnitude of

one chip substrate, the miniaturization of equipment can be attained, and densification becomes possible.

[0008]

[Example] Hereafter, the desirable example of this invention is explained to a detail based on an accompanying drawing. Drawing 1 and drawing 2 show the chip substrate 1 of the semiconductor device which constitutes the semi-conductor module of this invention, and drawing 3 shows two or more chip substrates 1 and 1 and the semi-conductor module A which accumulated -- on the mother board 6 multistage, and was formed.

[0009] As shown in drawing 1, the chip substrate 1 is a silicon substrate which forms a semiconductor circuit 2, and the semiconductor circuit 2 is formed in the front face 11. And the beer hall 5 which makes the chip substrate 1 penetrate and flow through a front face 11 and a rear face 12 is formed.

[0010] The connection pads 4 and 4 are formed in the location which corresponds to the front rear faces 11 and 12 of the chip substrate 1, respectively, and the circuit pattern 3 is formed so that a semiconductor circuit 2 and the connection pad 4 may be connected. And the circuit patterns 3 and 3 formed in the front rear faces 11 and 12, respectively have flowed by the beer hall 5, as shown in drawing 2.

[0011] And two or more chip substrates 1

are carried on a mother board 6 in piles, as shown in drawing 3, and the connection pad 4 currently formed in the rear face 12 of the chip substrate 1 of the bottom is fixed to the connection pad 61 of a mother board 6 with solder 7, electric conduction adhesives, etc. And the rear-face side connection pad 42 of the chip substrate 1 of an upper case is similarly fixed to the connection pad 4 by the side of the front face of the chip substrate 1, and it is put upon multistage, and it is carried so that the whole may be protected by the resin coating 8.

[0012] next, when the production process of the chip substrate 1 is explained, it is first shown in drawing 4 (a) -- as -- a silicon substrate 13 -- laser, etching, etc. -- a hole -- it is processed and the silicon oxide film 14 is formed in a front face. And a semi-conductor is formed according to a semi-conductor creation process, and a semiconductor circuit 2 is formed with the vacuum plating of aluminium and lithography.

[0013] Next, as shown in drawing 4 (b), an insulating layer 15 is formed in the front rear faces 11 and 12 of the chip substrate 1 with an imide spin coat etc., and a beer hall 5 is exposed by printing and development. And by metal vacuum evaporationo and etching, the circuit pattern 3 which connects a beer hall 5 and the connection pad 4 is formed on an insulating layer 15, and the chip substrate 1 is formed.

[0014]

[Effect of the Invention] Since a circuit pattern is connected and prepared in the front rear face of the chip substrate in which the semiconductor circuit was formed, in this invention in a beer hall, a chip substrate is accumulated on multistage with the connection pad on the rear face of front and a semiconductor module is formed as explained above, it becomes unnecessary, and the wiring substrate which carries out the modularization of the chip substrate makes loading area to a mother board small, and high-density mounting of it is attained.

---

[Description of Notations]

1 Chip Substrate  
11 Front Face  
12 Rear Face  
2 Semiconductor Circuit  
3 Circuit Pattern  
4 Connection Pad  
5 Beer Hall

---

[Translation done.]

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the explanatory view showing the example of this invention.

[Drawing 2] It is the explanatory view showing the cross section of this invention.

[Drawing 3] It is the explanatory view showing the loading condition of this invention.

[Drawing 4] It is the explanatory view showing the production process of the example of this invention.

[Drawing 5] It is the explanatory view showing the conventional example.